

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月30日

出 願 番 号  
Application Number:

特願2002-315882

[ ST.10/C ]:

[ JP 2002-315882 ]

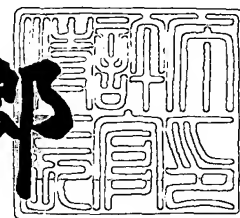
出 願 人  
Applicant(s):

沖電気工業株式会社

2003年 2月18日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3008623

【書類名】 特許願

【整理番号】 TA000185

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78  
H01L 21/76

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社  
社内

【氏名】 金森 順

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100079049

【弁理士】

【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9714945

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 絶縁膜上に分離形成されたシリコン層を有する半導体装置の製造方法において、

素子分離層の形成予定領域に位置する前記シリコン層全体に酸素イオンを注入する工程と、

前記酸素イオンが注入された前記シリコン層を酸化処理し、素子分離層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記シリコン層の膜厚を 70 nm 以下としたことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記半導体装置を完全空乏型 SOI デバイスとしたことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記素子分離層をフィールド酸化膜としたことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記酸素イオン注入工程は前記シリコン層の上面から下面まで酸素イオン濃度分布を有するように行なわれることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記酸素イオン注入工程は前記シリコン層の上面から下面の略中心から下部に酸素イオンの濃度ピークがくるように行なわれることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 前記酸素イオン注入工程は、前記シリコン層上に酸化膜を形成し、この酸化膜を介して行なわれることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 8】 絶縁膜上に分離形成されたシリコン層を有する半導体装置の製造方法において、

前記シリコン層上に酸化膜及び耐酸化性膜を順次形成する工程と、

素子分離層の形成予定領域に位置する前記耐酸化性膜を選択的に除去する工程

と、

残存する前記耐酸化性膜をマスクとして、前記酸化膜を介して前記シリコン層全体に酸素イオンを注入する工程と、

前記酸素イオンが注入された前記シリコン層を酸化処理し、素子分離層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 9】 前記シリコン層の膜厚を 7 0 n m 以下としたことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 0】 前記半導体装置を完全空乏型 S O I デバイスとしたことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 1】 前記素子分離層をフィールド酸化膜としたことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 2】 前記酸素イオン注入工程は前記シリコン層の上面から下面まで酸素イオン濃度分布を有するように行なわれることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 3】 前記酸素イオン注入工程は前記シリコン層の上面から下面の略中心から下部に酸素イオンの濃度ピークがくるように行なわれることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 4】 前記酸素イオン注入工程は、前記シリコン層上に酸化膜を形成し、この酸化膜を介して行なわれることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 5】 前記耐酸化膜を、窒化膜、レジスト、又はこれらの積層体とすることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 6】 前記残存する耐酸化膜の側壁に第 2 の耐酸化膜が設けられることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 7】 前記第 2 の耐酸化膜を、酸化膜又は窒化膜とすることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、素子間分離工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置における素子間の分離方法としては、従来からもっとも一般的に使用されてきたものとしては、L o c o s 方法（ローカル・オキシデーション・オブ・シリコン）や、例えばF-L o c o s（フレームドローカル・オキシデーション・オブ・シリコン）などの変形方法がある。また、この変形方法の一つとして、シリコン基板内に酸素イオン注入法を用いて埋め込み酸化膜（パッド酸化膜）を形成し、この酸化膜より上部のシリコン基板の結晶性が維持されるのを利用して、この結晶性が維持された膜（単結晶シリコン膜）を選択的にフィールド酸化して素子分離層を形成する方法が提案されている（特許文献1参照）。この提案によれば、多結晶シリコンとは異なり、単結晶シリコンをフィールド酸化するので、スムーズな遷移領域（バースピーク部）を持つフィールド酸化膜（素子分離層）を形成できることが示されている。

【0003】

ところで、良好な素子分離を行なうことを目的として、特開平06-310534号公報には、シリコン基板上に素子分離領域を形成した後、ソース・ドレイン領域とは半導電型の素子領域となる基板の濃度を決定する不純物を注入する提案がなされている。この提案では、素子分離領域形成後、例えばP型であればB<sup>F2+</sup>やB<sup>+</sup>等の不純物を素子領域に注入することで、素子分離領域形成時の酸化処理による素子領域における不純物濃度変化を無くし、特に素子領域と素子分離領域側壁部の界面近傍の不純物濃度を安定して制御することが示されている。

【0004】

【特許文献1】

特開平7-22504号公報

【0005】

【発明が解決しようとする課題】

また、パターンの微細化が進んできた最近においては、S T I（シャロー・ト

レンチ・アイソレーション) 方法が使われ始めている。しかし、パターンが微細化してくると、素子分離層も当然微細になり、例えば $0.15\mu\text{m}$ 幅程度になると、従来のLocos方法やその改良法では酸化がうまくできないなどの問題がでてきている。また、微細パターン対応のSTIなどの方法があるが、SOI（シリコン・オン・インシュレータ）などでは薄いSOI膜に対してのプロセス上のストレスの影響があり、素子特性が劣化するという現象が出てきており大きな問題となっている。特に、SOI膜の薄い（例えばSOI膜厚さが $40\text{nm}$ 以下のものでは）FD-SOI（完全空乏-SOI）ではSTIは使えないことが明らかになりつつある。

## 【0006】

それに、対応する方法として、MESA分離などが検討されている。これは薄いSOI膜を上手く使い、素子分離したいSOI膜部分をエッチング除去して、そのまま分離しようとするものである。ここで、図5は、MESA分離を説明するための概略断面図であり、図5（A）はSOI基板上にパターン化されたレジストを形成した状態を示す概略断面図であり、図5（B）はSOI膜をエッジングしレジストを除去した状態を示す概略断面図である。

## 【0007】

図5に示すように、Box酸化膜204及びSOI膜206が順次設けられたシリコン基板202（SOI基板200）上に、ホトリソグラフィ処理により素子分離層の形成予定領域が開口するようにパターン化されたレジスト212を形成する（図5（A）参照）。このレジスト212をマスクとして、SOI膜206をエッジングする。そして、レジスト212を除去し、洗浄するが、この際、一部のBox酸化膜204も削られてしまう（図5（B）参照）。このようにしてMESA分離では、素子分離が行なわれる。

## 【0008】

しかしながら、SOI膜が薄いとはいえ、前記のような厚さがあり、SOI膜をエッジング除去すると、素子領域と素子分離層とに急峻な段差ができることとなり、そのまま、後の工程に移行すると、パターン形成のホトリソグラフィ処理などでは問題となる。特に、今後の微細なパターン $0.1\mu\text{m}$ 以下のゲート長

などではそのゲート長制御のために高精度なホトリソグラフィーが要求されており、この段差は無視できない。更に、MESA分離では処理プロセスフローの関係で、分離した部分のBOX酸化膜が削れその段差が大きくなる場合も多々あり、問題はより大きくなる傾向にある。

#### 【0009】

従って、本発明は、前記従来における諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明の目的は、ホトリソグラフィー処理などの後工程に重大な影響を与える素子領域と素子分離層との段差の発生がなく、微細パターンでも容易に素子分離できる半導体装置の製造方法を提供することである。

#### 【0010】

##### 【課題を解決するための手段】

上記課題は、以下の手段により解決される。即ち、

本発明の半導体装置の製造方法は、絶縁膜上に分離形成されたシリコン層を有する半導体装置の製造方法において、素子分離層の形成予定領域に位置する前記シリコン層全体に酸素イオンを注入する工程と、前記酸素イオンが注入された前記シリコン層を酸化処理し、素子分離層を形成する工程と、を有することを特徴とする。

#### 【0011】

本発明の半導体装置の製造方法は、絶縁膜上に分離形成されたシリコン層における素子分離層の形成予定領域に、予め選択的に酸素イオンを不純物注入し、当該シリコン層における素子分離層の形成予定領域の酸化処理速度を促進させることで、特に横方向への酸化膜（素子分離層）の広がりを抑制し、素子分離層を形成する方法である。

#### 【0012】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。なお、実質的に同様の機能を有するものには、全図面通して同じ符号を付して説明し、場合によってはその説明を省略することがある。

#### 【0013】



## (第 1 の実施の形態)

図 1 は、第 1 の実施の形態の半導体装置の製造方法における素子分離工程を説明するための概略断面図であり、(A) は酸素イオン注入後の状態を示す概略断面図であり、(B) は、フィールド酸化処理を施して素子分離層を形成した状態を示す概略断面図である。

## 【 0 0 1 4 】

本実施形態では、B o x 酸化膜 1 0 4 (絶縁膜) 及び S O I 膜 1 0 6 (シリコン層: 厚さ 2 0 ~ 7 0 n m) が順次設けられたシリコン基板 1 0 2 (以下、S O I 基板 1 0 0 ということがある) に対して、熱酸化処理により、窒化膜を直接シリコンに接触させないためのパッド酸化膜 1 0 8 (犠牲酸化膜) を厚さ 5 ~ 5 0 n m で形成する (この熱酸化処理により削られる S O I 膜 1 0 6 分は、あらかじめ計算し、その後の工程で必要な膜厚によるよう厚くしておく)。次に、C D V 法により、酸化防止のための窒化膜 1 1 0 (耐酸化性膜) を 1 0 ~ 3 5 0 n m 形成する。この基板に対して、ホトリソグラフィ処理により酸素イオン注入領域 (素子分離層の形成予定領域) が開口するようにパターン化されたレジスト 1 1 2 を形成する。このレジスト 1 1 2 (耐酸化性膜) をマスクとして、S O I 膜 1 0 6 の酸素イオン注入領域が開口するように窒化膜 1 1 0 をエッチング除去する。なお、この際、次の酸素インプラ処理の条件などによっては、パッド酸化膜 1 0 8 は窒化膜 1 1 0 と共にエッチング除去してもよいし、パッド酸化膜 1 0 8 は残した状態でもかまわない。本実施例ではパッド酸化膜 1 0 8 を残した場合を示している。この状態で、窒化膜 1 1 0 及びレジスト 1 1 2 をマスクとし、パッド酸化膜 1 0 8 を介して酸素インプラ (酸素インプラ条件としては、例えば加速 5 k V で 1 4 乗の濃度) 処理を行い (図中、矢印)、窒化膜 1 1 0 を除去した領域 (素子分離層の形成予定領域) の S O I 膜 1 0 6 に酸素イオンを不純物注入する (図 1 (A) 参照)。なお、図中、1 1 4 は、酸素イオンを不純物注入 (酸素インプラ) された S O I 膜の領域を示す。

## 【 0 0 1 5 】

次に、レジスト 1 1 2 を除去して、フィールド酸化を行い、フィールド酸化膜 1 1 6 を形成し、素子分離層が形成される (図 1 (B) 参照)。その後、必要な

処理を行い不要な窒化膜 1 1 0 及びパッド酸化膜 1 0 8 を除去すれば、素子分離工程が終了する。

#### 【 0 0 1 6 】

本実施例では、S O I 膜 1 0 6 を有する S O I 基板 1 0 0 の素子分離層の形成予定領域に、予め酸素イオンを不純物注入させることで、選択的に酸化処理スピードが向上され、特に横方向への酸化膜（素子分離層）の広がりが抑制される。このため、素子分離層（酸化膜）の横方向での広がりを取りの必要がなく、素子分離層のパターンが微細になっても、良好に素子分離を行なうことができ、高集積化が可能となる。また、M E S A 分離のように S O I 膜をエッチング除去せず、S O I 膜 1 0 6 をフィールド酸化させて素子分離層を形成するので、素子領域と素子分離層とで急峻な段差が生じることもない。また、酸素イオンを注入されたシリコン（S O I 膜 1 0 6）は、酸化処理速度が向上するので、処理時間の短縮が可能となる。

#### 【 0 0 1 7 】

また、本実施形態では、酸化防止膜として窒化膜 1 1 0 を形成しているので、素子分離層以外の領域が酸化されることを、より確実に防止している。

#### 【 0 0 1 8 】

また、本実施形態では、厚さ 7 0 n m 以下（特に好ましくは 4 0 n m 以下）と薄い S O I 膜を有する F D - S O I 基板 1 0 0 でも、上述のように処理時間の短縮が可能となるので、素子特性の原因となる、S O I 膜へのストレスを与えることなく、素子分離が可能となる。

#### 【 0 0 1 9 】

（第 2 の実施の形態）

図 2 は、第 1 の実施の形態の半導体装置の製造方法における素子分離工程を説明するための概略断面図であり、（A）は酸素イオン注入後の状態を示す概略断面図であり、（B）は、フィールド酸化処理を施して素子分離層を形成した状態を示す概略断面図である。

#### 【 0 0 2 0 】

本実施形態は、酸化防止膜としての窒化膜 1 1 0 （耐酸化性膜）を形成しない

以外は、第 1 の実施の形態と同様に素子分離工程を行なった形態である。この本実施形態では、レジスト 1 1 2 をマスクとし、パッド酸化膜 1 0 8 を介して S O I 膜 1 0 6 の素子分離層の形成予定領域へ酸素インプラを行なう。

#### 【 0 0 2 1 】

本実施形態では、窒化膜 1 1 0 の成膜・除去工程を削減でき、工程の短縮が可能となる。また、フィールド酸化時に窒化膜 1 1 0 がいないために、パターンが微細になっても、より効果的に酸化不良を防止することができる。第 1 の実施形態で示したように、窒化膜 1 1 0 は耐酸化膜として機能するため、パターン化された開口近傍でもその影響を及ぼし、本来酸化させたい S O I 膜領域でも酸化不良を生じさせる場合がある。これは、パターンが微細化されると研著に現れる。このため、本実施形態では、耐酸化膜としてレジスト 1 1 2 のみをマスクとして利用することで、より微細なパターンで素子分離が可能としている。

#### 【 0 0 2 2 】

なお、素子分離工程で酸化を行いたくない領域も、パッド酸化膜 1 0 8（犠牲酸化膜）を通して酸化がされるのではないかと疑問があるかもしれないが、元々酸化膜のある部分は酸化時の酸素の拡散の問題もあり酸化速度は非常に遅くなる。また、本実施例では、酸化を行いたい領域（素子分離層の形成予定領域）には酸素イオンを不純物として注入してあるために、第 1 の実施の形態でも述べたように酸化速度が大幅に向上しており、酸化を行いたくない部分の酸化量は非常に微量に抑えることができる。例えば、条件を最適化すれば、1 0 n m 以下に抑えることが可能であり、この酸化量は事前に S O I 膜の膜厚を調整しておけば問題ない。例えば、フィールド酸化後に S O I 膜が 4 0 n m 必要であるならば、この工程の前までの S O I 膜の膜厚を 5 0 n m にしておけばよい。

#### 【 0 0 2 3 】

##### （第 3 の実施の形態）

図 3 は、第 1 の実施の形態の半導体装置の製造方法における素子分離工程を説明するための概略断面図であり、（A）は酸素イオン注入後の状態を示す概略断面図であり、（B）は、フィールド酸化処理を施して素子分離層を形成した状態を示す概略断面図であり、（C）は、素子分離層を形成した後、不要な窒化膜及

び酸化膜を除去した状態を示す概略断面図である。

#### 【 0 0 2 4 】

本実施形態では、レジスト 1 1 2 をマスクとして、S O I 膜 1 0 6 の酸素イオン注入領域（素子分離層の形成予定領域）が開口するように窒化膜 1 1 0 をエッチング除去するまでは、第 1 の実施の形態と同様に行なう。その後、レジスト 1 1 2 を除去し、再度、窒化膜を全面に形成する。次に、全面に形成した窒化膜を異方性エッチングによりエッチングを行うと、最初に形成してあったパターン化された窒化膜 1 1 0 の開口側壁には、窒化膜からなるサイドウォール 1 1 8（第 2 の耐酸化膜）が形成される。なお、サイドウォール 1 1 8 としては酸化膜でもよい。この状態で、窒化膜 1 1 0 をマスクとして酸素インプラ（酸素インプラ条件としては、例えば加速 5 k V で 1 4 乗の濃度）処理を行い（図中、矢印）、窒化膜 1 1 0 を除去した領域（素子分離層の形成予定領域）の S O I 膜 1 0 6 に酸素イオンを不純物注入する（図 3（A）参照）。なお、図中、1 1 4 は、酸素イオンを不純物注入（酸素インプラ）された S O I 膜の領域を示す。

#### 【 0 0 2 5 】

次に、必要な洗浄を行なった後、フィールド酸化を行い、フィールド酸化膜 1 1 6 を形成し、素子分離層が形成される（図 3（B）参照）。その後、必要な処理を行い不要な窒化膜 1 1 0 及びパッド酸化膜 1 0 8 を除去する（図 3（C））。このようにして素子分離工程が終了する。

#### 【 0 0 2 6 】

本実施形態では、酸素インプラのマスクとなるパターン化された窒化膜 1 1 0 の開口側壁に、窒化膜からなるサイドウォール 1 1 8 を形成するので、マスクとしての窒化膜 1 1 0 の開口をより微少化することができ、酸素インプラの S O I 膜 1 0 6 内での横の広がりや、フィールド酸化での横方向の酸化などがあっても、ホトリソグラフィのパターンと同程度あるいはそれ以下の幅の微細なパターンで素子分離が可能となる。

#### 【 0 0 2 7 】

また、本実施例は、第 1 の実施の形態の変形例として説明したが、第 2 の実施例の場合にも応用可能である。

## 【 0 0 2 8 】

## (第 4 の実施の形態)

本実施形態は、第 1 ～ 3 の実施の形態において、SOI 膜への酸素イオンプロファイル进行调整した形態である。第 1 ～ 3 の実施の形態において、SOI 膜 1 0 6 へ注入する酸素イオン濃度は、例えば、 $1 \times 10^{-4} \sim 1 \times 10^{-16} \text{ ions/cm}^2$  であるが、酸素イオン注入においては深さ方向（厚み方向）に濃度プロファイル（濃度分布）を持つことになる。本実施例では、図 4 に示す SOI 膜厚と酸素イオン濃度プロファイルの関係のように、そのプロファイルとして、最も濃度の高い部分（濃度ピーク部分）を、SOI 膜 1 0 6 厚の中間部分より深い部分（シリコン基板 1 0 2 側、即ち Box 酸化膜 1 0 4 との界面に近い部分）に持ってくるように、酸素インブラを行う。

## 【 0 0 2 9 】

本実施形態では、SOI 膜 1 0 6 への酸素イオン注入を、酸素イオン濃度プロファイルとして SOI 膜 1 0 6 の膜厚中心よりシリコン基板側に酸素イオン濃度ピークを持つように行なう、即ち、SOI 膜 1 0 6 内において酸素イオン不純物濃度の高い領域を、SOI 膜表面よりも深い領域（シリコン基板 1 0 2 側の領域）に持ってきている。このように酸素イオン濃度プロファイルを形成すると、フィールド酸化の際に、表面部分だけが早く酸化されて、Box 酸化膜 1 0 4 界面付近は十分に酸化されず、一部で素子分離が不十分になるというような不具合を防止でき、Box 酸化膜 1 0 4 界面まで確実に酸化され、より完全な素子分離が形成できるという効果が期待できる。

## 【 0 0 3 0 】

なお、上記 1 ～ 4 の実施形態では、SOI 膜（シリコン層）への酸素イオンの注入方法として、酸素インブラを例に説明してきたが、酸素インブラ以外にも、例えば、プラズマ励起により酸素イオンを励起し、電界をかけ方向性を持たせてイオンをシリコン内に注入する方法など、他の方法も好適に実施される。

## 【 0 0 3 1 】

上記 1 ～ 4 の実施形態では、パッド酸化膜 1 0 8（犠牲酸化膜）として、熱酸化処理を施した 1 0 ～ 5 0 nm の熱酸化膜の例を説明したが、これを CVD 法に

より成膜した酸化膜（CVD膜という）とすることも可能であり、CVD膜を用いると、フィールド酸化後のパッド酸化膜を除去する際に、膜の除去速度が速く、フィールド部の酸化膜の膜減りを低減できることが期待できる。このようにすれば、SOI膜の初期膜厚の調整もさらに容易になる。また、パッド酸化膜は熱酸化膜とCVD膜の複合膜にしてもよく、パッド酸化膜としての機能には問題ない。

#### 【0032】

上記1～4の実施形態では、酸素イオン注入のマスクとなる耐酸化膜として、窒化膜及び／又はレジストを用いた例を説明したが、耐酸化膜として、例えばパッド酸化膜を利用してもよいし、また、別途、酸化膜を成膜してこれを利用してよい。

#### 【0033】

上記1～4の実施形態では、SOIデバイス、例えば20～70nmというSOI膜の薄い完全空乏型SOIデバイスを例に説明を行ってきたが、SOI膜の厚い部分空乏型デバイスやバルクデバイスにも応用は可能である。

#### 【0034】

なお、上記何れの実施の形態に係る本発明の半導体装置の製造方法においても、限定的に解釈されるものではなく、本発明の要件を満足する範囲内で実現可能であることは、言うまでもない。

#### 【0035】

##### 【発明の効果】

以上述べてきたように、本発明よれば、SOI基板の素子分離工程において、素子分離したいシリコン層（SOI膜）領域に予め酸素イオンを不純物注入して、酸化処理のときに酸化が促進する状態にしておくことにより、微細なパターンでも酸化ができ、また大きなストレスも発生することなくかつ素子領域と素子分離層との間で急峻な段差を発生することなく、良好な素子分離層を形成できる。

##### 【図面の簡単な説明】

【図1】 第1の実施の形態の半導体装置の製造方法における素子分離工程を

説明するための概略断面図である。

【図 2】 第 2 の実施の形態の半導体装置の製造方法における素子分離工程を説明するための概略断面図である。

【図 3】 第 3 の実施の形態の半導体装置の製造方法における素子分離工程を説明するための概略断面図である。

【図 4】 第 4 の実施の形態の半導体装置の製造方法における S O I 膜厚と酸素イオン濃度プロファイルの関係を示す図である。

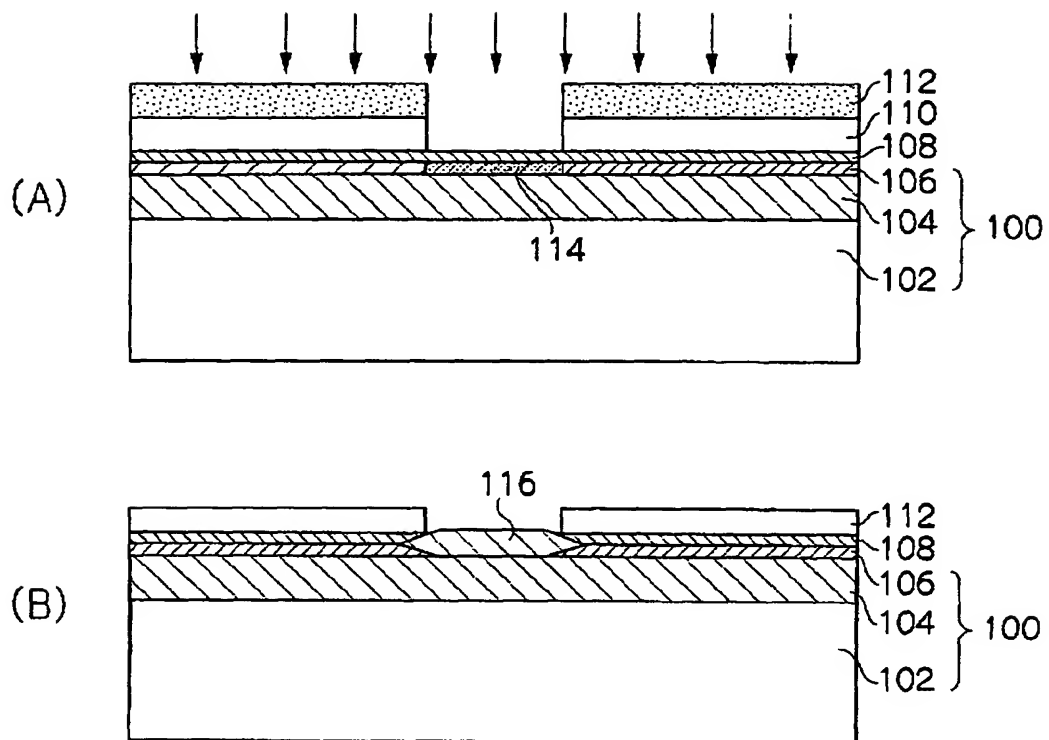
【図 5】 M E S A 分離を説明するための概略断面図であり、

【符号の説明】

1 0 0	S O I 基板
1 0 2	シリコン基板
1 0 4	B o x 酸化膜（絶縁膜）
1 0 6	S O I 膜（シリコン層）
1 0 8	パッド酸化膜
1 1 0	窒化膜（耐酸化性膜）
1 1 2	レジスト（耐酸化性膜）
1 1 6	フィールド酸化膜（素子分離層）
1 1 8	サイドウォール（第 2 の耐酸化性膜）

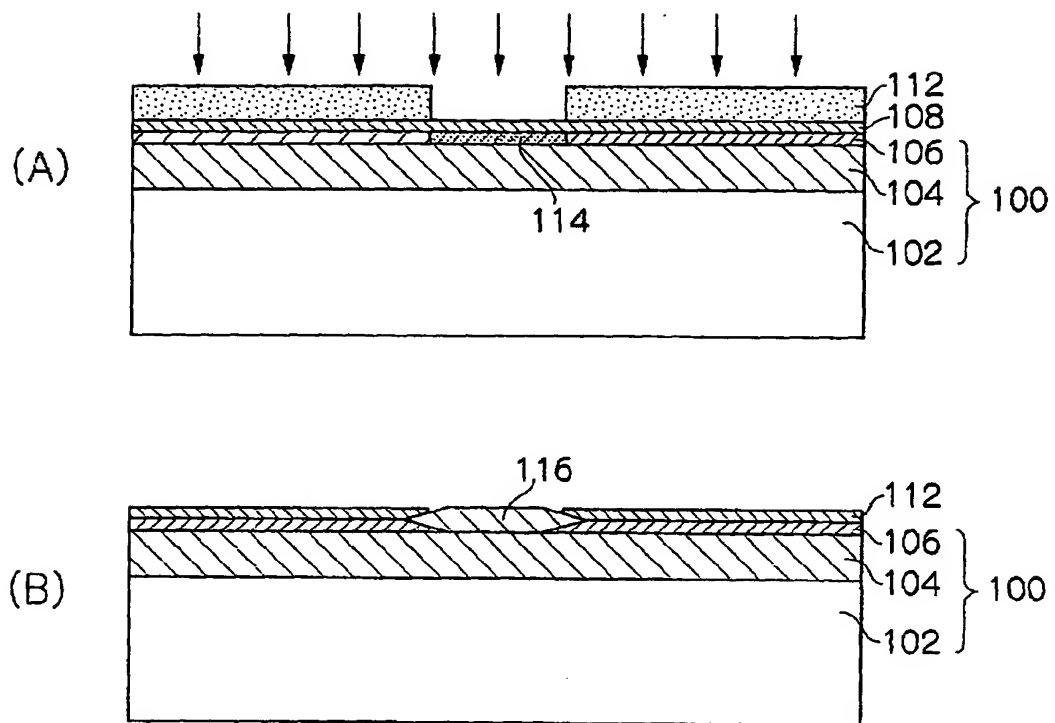
【書類名】 図面

【図 1】

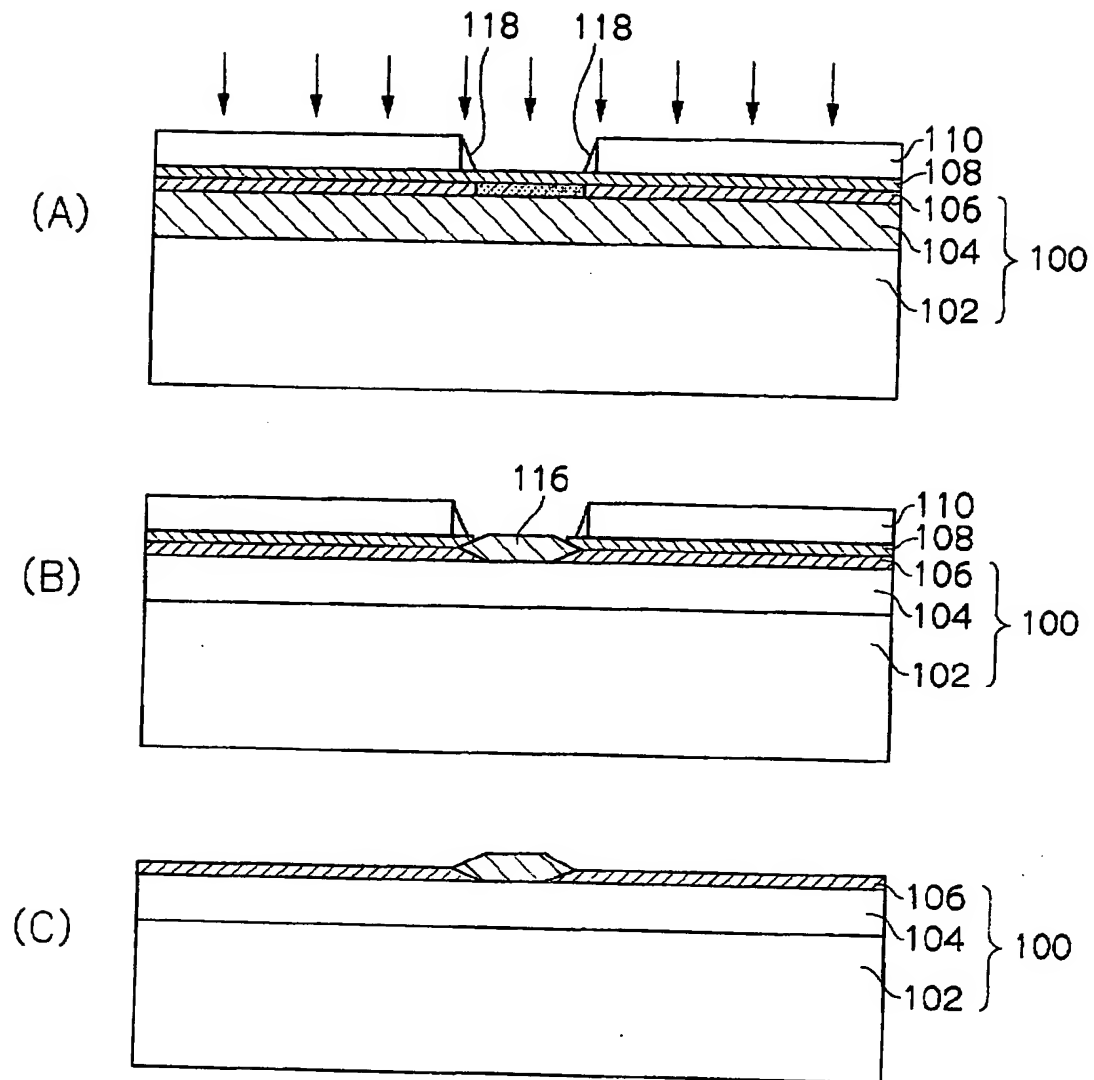




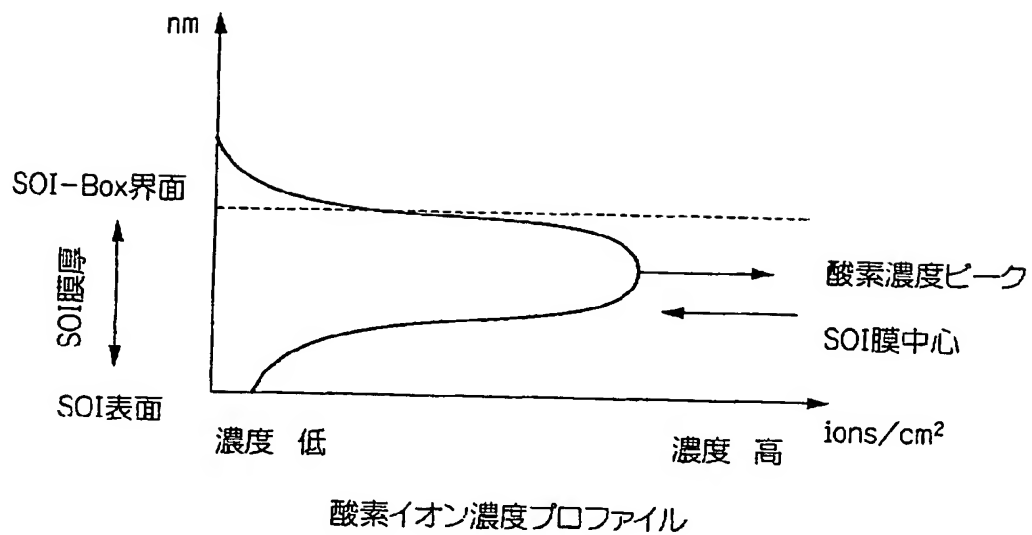
【図 2】



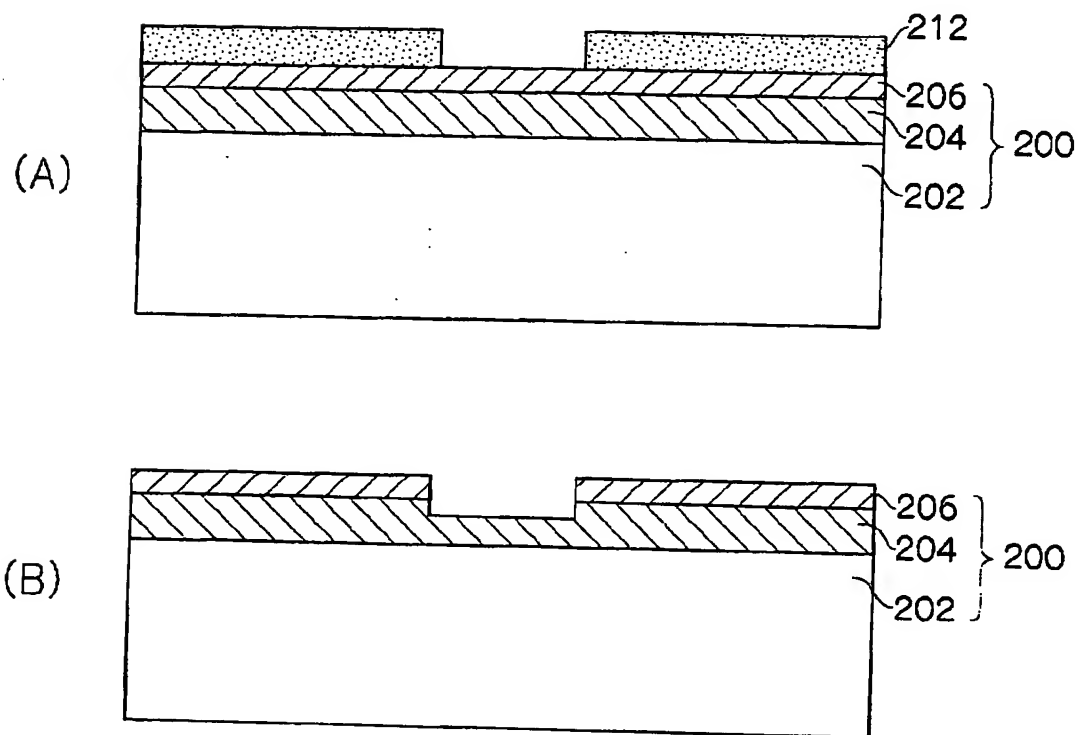
【図3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 ホトリソグラフィー処理などの後工程に重大な影響を与える素子領域と素子分離層との段差の発生がなく、微細パターンでも容易に素子分離できる半導体装置の製造方法を提供すること。

【解決手段】 シリコン基板 1 0 2 上の S O I 膜 1 0 6 (シリコン層) の素子分離層の形成予定領域に酸素イオンを不純物注入して、選択的に酸化スピードを促進させて、素子分離層を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号  
氏 名 沖電気工業株式会社